

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

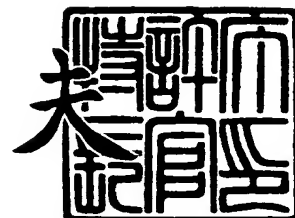
出 願 番 号 特 願 2 0 0 3 - 0 8 5 7 8 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 5 7 8 4]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 4 年 2 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0447601

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 大橋 幸司

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 木島 健

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 柄沢 潤一

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 ▲濱▼田 泰彰

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 名取 栄治

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体膜、強誘電体膜の製造方法、強誘電体キャパシタおよび強誘電体キャパシタの製造方法ならびに強誘電体メモリ

【特許請求の範囲】

【請求項 1】 複合酸化物を含む原材料体を結晶化することを含む、強誘電体膜の製造方法であって、

(a) 所定の圧力および温度の第 1 状態で熱処理を行ない、

(b) 前記 (a) の後に該第 1 状態と比して低い圧力および低い温度の第 2 状態に維持すること、を含み、前記 (a) および (b) を繰り返して行なうことにより結晶化が行なわれる、強誘電体膜の製造方法。

【請求項 2】 請求項 1 において、

前記 (a) は、2 気圧以上に加圧され、かつ体積比 1 0 % 以下の酸素を含む雰囲気である、強誘電体膜の製造方法。

【請求項 3】 請求項 1 において、

前記 (a) は、2 気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて熱処理する、強誘電体膜の製造方法。

【請求項 4】 請求項 3 において、

前記 (a) は、体積比 1 0 % 以下の酸素を含む雰囲気中で行われる、強誘電体膜の製造方法。

【請求項 5】 請求項 1 ～ 4 のいずれかにおいて、

前記 (a) では、少なくとも昇温前に 2 気圧以上に加圧することを含む、強誘電体膜の製造方法。

【請求項 6】 請求項 1 ～ 5 のいずれかに記載の強誘電体膜の製造方法により形成された、強誘電体膜。

【請求項 7】 請求項 5 に記載の強誘電体膜を有する、強誘電体メモリ。

【請求項 8】 基体の上に下部電極を形成し、

前記下部電極の上に複合酸化物を含む原材料体を結晶化することにより、強誘電体膜を形成し、

前記強誘電体膜の上に上部電極を形成すること、
を含む強誘電体キャパシタの製造方法であって、前記結晶化は、
(a) 所定の圧力および所定の温度の第 1 状態で熱処理を行なうこと、
(b) 前記 (a) の後に該第 1 状態と比して低い圧力および低い温度の第 2 状態に維持すること、
を含み、前記 (a) および (b) を繰り返して行なう、強誘電体キャパシタの製造方法。

【請求項 9】 請求項 8 において、
前記 (a) は、2 気圧以上に加圧され、かつ体積比 1 0 % 以下の酸素を含む雰囲気である、強誘電体キャパシタの製造方法。

【請求項 1 0】 請求項 8 において、
前記 (a) は、2 気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて熱処理する、強誘電体キャパシタの製造方法。

【請求項 1 1】 請求項 1 0 において、
前記 (a) は、体積比 1 0 % 以下の酸素を含む雰囲気中で行われる、強誘電体キャパシタの製造方法。

【請求項 1 2】 請求項 8 ～ 1 1 のいずれかにおいて、
前記 (a) は、少なくとも昇温前に 2 気圧以上に加圧することを含む、強誘電体キャパシタの製造方法。

【請求項 1 3】 請求項 8 ～ 1 1 のいずれかにおいて、
少なくとも前記上部電極を形成した後に、前記 (a) と比して高い温度の熱処理を行なう、強誘電体キャパシタの製造方法。

【請求項 1 4】 請求項 1 3 において、
前記熱処理は、2 気圧以上に加圧された状態で行なわれる、強誘電体キャパシタの製造方法。

【請求項 1 5】 請求項 1 3 において、
前記熱処理は、ラピッド・サーマル・アニール法を用いて行われる、強誘電体キャパシタの製造方法。

【請求項 1 6】 請求項 1 3 ～ 1 5 のいずれかにおいて、

前記熱処理は、体積比 10% 以下の酸素を含む雰囲気中で行われる、強誘電体キャパシタの製造方法。

【請求項 17】 請求項 8 ～ 16 のいずれかに記載の製造方法によって製造された強誘電体キャパシタ。

【請求項 18】 請求項 17 に記載された強誘電体キャパシタを含む、強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体膜、強誘電体膜の製造方法ならびに強誘電体キャパシタおよび強誘電体キャパシタの製造方法、強誘電体メモリに関する。

【0002】

【背景技術】

現在、半導体装置（例えば、強誘電体メモリ（FeRAM））に適用される強誘電体膜として、ペロブスカイト構造を有する強誘電体膜（例えば、PbZrTiO₃系）や層状ペロブスカイト構造を有する強誘電体膜（例えば、BiLaTiO₃系、BiTiO₃系、SrBiTaO₃系）が提案されている。

【0003】

これらの強誘電体膜の材料に含まれる Pb や Bi は、蒸気圧が高く、低温で揮発しやすい。そして、強誘電体膜の結晶化過程においては、高温下での熱処理を行うため、Pb や Bi などは、強誘電体の結晶化に必要な雰囲気中の酸素と結合して飛散してしまい、結晶化された強誘電体膜の特性に望ましくない影響を与える。

【0004】

一方、近年の半導体装置の微細化および高集積化に伴い、強誘電体膜の薄膜化が望まれている。しかし、現状の製造工程では、薄膜でかつ良好な特性を有する強誘電体膜を形成することが困難であった。

【0005】

【発明が解決しようとする課題】

本発明の目的は、良好な特性を有する強誘電体膜の製造方法、およびこの製造方法により得られる強誘電体膜を提供することにある。また、本発明の他の目的は、強誘電体キャパシタの製造方法、およびこの製造方法により得られる強誘電体キャパシタを提供することにある。また、本発明の他の目的は、本発明の強誘電体膜または強誘電体キャパシタが適用された強誘電体メモリを提供することにある。

【0006】

【課題を解決するための手段】

- (1) 本発明の強誘電体膜の製造方法は、
複合酸化物を含む原材料体を結晶化することを含む、強誘電体膜の製造方法であって、
(a) 所定の圧力および所定の温度の第1状態で熱処理を行ない、
(b) 前記(a)の後に該第1状態と比して低い圧力および低い温度の第2状態に維持すること、を含み、前記(a)および(b)を繰り返して行なうことにより結晶化が行なわれる。

【0007】

本発明によれば、所定の圧力および所定の温度の第1状態で熱処理を行なったのち、第1状態と比して低い圧力および低い温度の第2状態に維持することを繰り返し行なうことで、原材料体の結晶化を行なうことができる。このように、断続した熱処理により結晶化を行なう場合、連続した熱処理を行なう場合と比して原材料体にかかるストレスを軽減できる。その結果、良好に結晶成長した強誘電体膜を形成することができる。本発明は、特に、膜厚が10～150nmの薄膜の強誘電体膜を形成する場合に効果を有し、良好な特性を有する薄膜の強誘電体膜を形成することができる。

【0008】

本発明は、さらに、下記の態様をとることができる。

【0009】

(A) 本発明の強誘電体膜の製造方法において、前記(a)は、2気圧以上に加圧され、かつ体積比10%以下の酸素を含む雰囲気であることができる。この

態様によれば、2気圧以上の加圧状態によって、原材料体に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えるとともに、雰囲気中に含まれる酸素を体積比において10%以下とすることで、これらの金属材料と酸素との結合を抑制することができ、良好な結晶状態の強誘電体膜を得ることができる。

【0010】

(B) 本発明の強誘電体膜の製造方法において、前記(a)は、2気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて熱処理することができる。この態様によれば、2気圧以上の加圧状態によって、高温の熱処理に伴う原材料体に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えることができる。また、強誘電体膜は、結晶化における熱処理において低速で昇温を行うと、初期結晶核が様々な角度で発生するために、結晶面がランダムに配向しやすいが、この態様では、数十℃/秒以上の急速加熱を行うラピッド・サーマル・アニール法を用いて熱処理を行うことで、結晶の配向性が高い強誘電体膜を得ることができる。

【0011】

(C) 本発明の強誘電体膜の製造方法において、前記(a)は、体積比10%以下の酸素を含む雰囲気中で行われることができる。この態様によれば、(a)の熱処理を、体積比10%以下の酸素を含む雰囲気中で行うことで、原材料体に含まれる金属材料と酸素との結合を抑制して、さらに良好な結晶状態の強誘電体膜を得ることができる。

【0012】

(D) 本発明の強誘電体膜の製造方法において、前記(a)では、少なくとも昇温前に2気圧以上に加圧することを含むことができる。この態様によれば、結晶化過程における雰囲気中の圧力を昇温前に高めておくことで、熱処理の低温領域における複合酸化物に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を効果的に抑制することができる。

【0013】

(2) 本発明の強誘電体膜は、上述の強誘電体膜の製造方法により形成され、良好な結晶構造を有する強誘電体膜を提供することができる。

【0014】

(3) 本発明の強誘電体メモリは、上述の強誘電体膜を有する。

【0015】

(4) 本発明の強誘電体キャパシタの製造方法は、
前記下部電極の上に複合酸化物を含む原材料体を結晶化することにより、強誘電体膜を形成し、

前記強誘電体膜の上に上部電極を形成すること、

を含む強誘電体キャパシタの製造方法であって、前記結晶化は、

(a) 所定の圧力および所定の温度の第1状態で熱処理を行なうこと、

(b) 前記(a)の後に該第1状態と比して低い圧力および低い温度の第2状態に維持すること、を含み、前記(a)および(b)を繰り返して行なう。

【0016】

本発明によれば、断続した熱処理により結晶化が行なわれる。そのため、連続した熱処理を行なう場合と比して原材料体にかかるストレスを軽減できる。その結果、良好に結晶成長した強誘電体膜を有する強誘電体キャパシタを形成することができる。本発明は、特に、膜厚が10～150 nmの薄膜の強誘電体膜を有する強誘電体膜キャパシタを形成する場合に効果を有し、良好な特性を有する薄膜の強誘電体膜を有する強誘電体キャパシタを形成することができ、高集積化への寄与を図ることができる。

【0017】

本発明は、さらに、下記の態様をとることができる。

【0018】

(A) 本発明の強誘電体キャパシタの製造方法において、前記(a)は、2気圧以上に加圧され、かつ体積比10%以下の酸素を含む雰囲気であることができる。この態様によれば、2気圧以上の加圧状態によって、原材料体に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えるとともに、雰囲気中に含まれる酸素を体積比において10%以下とすることで、これらの金属材料と酸素との結合を抑制することができ、良好な結晶状態の強誘電体膜を有する強誘電体キャパシタを得ることができる。

【0019】

(B) 本発明の強誘電体キャパシタの製造方法において、前記(a)は、2気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて熱処理することができる。この態様によれば、2気圧以上の加圧状態によって、高温の熱処理に伴う原材料体に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えることができる。また、強誘電体膜は、結晶化における熱処理において低速で昇温を行うと、初期結晶核が様々な角度で発生するために、結晶面がランダムに配向しやすいが、この態様では、数十℃/秒以上の急速加熱を行うラピッド・サーマル・アニール法を用いて熱処理を行うことで、結晶の配向性が高い強誘電体膜を得ることができる。

【0020】

(C) 本発明の強誘電体キャパシタの製造方法において、前記(a)は、体積比10%以下の酸素を含む雰囲気中で行われることができる。この態様によれば、(a)の熱処理を、体積比10%以下の酸素を含む雰囲気中で行うことで、原材料体に含まれる金属材料と酸素との結合を抑制して、さらに良好な結晶状態の強誘電体膜を得ることができる。

【0021】

(D) 本発明の強誘電体キャパシタの製造方法において、前記(a)は、少なくとも昇温前に2気圧以上に加圧することを含むことができる。この態様によれば、結晶化過程における雰囲気中の圧力を昇温前に高めておくことで、熱処理の低温領域における複合酸化物に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を効果的に抑制することができる。

【0022】

(E) 本発明の強誘電体キャパシタの製造方法において、少なくとも前記上部電極を形成した後に、前記(a)と比して高い温度の熱処理を行なうことができる。この態様によれば、基体上に強誘電体キャパシタ構造を作製してから、結晶化の温度と比して高い温度の熱処理を行なう。これにより、強誘電体膜と上部電極および下部電極との界面状態が改善や、上部電極側からの結晶成長の促進を図ることができ、さらに良好な結晶構造を有する強誘電体膜を有する強誘電体キャ

パシタを製造することができる。

【0023】

(F) 本発明の強誘電体キャパシタの製造方法において、前記熱処理は、2気圧以上に加圧された状態で行なわれることができる。

【0024】

(G) 本発明の強誘電体キャパシタの製造方法において、前記熱処理は、ラピッド・サーマル・アニール法を用いて行われることができる。

【0025】

(H) 本発明の強誘電体キャパシタの製造方法において、前記熱処理は、体積比10%以下の酸素を含む雰囲気中で行われることができる。

【0026】

(5) 本発明の強誘電体キャパシタは、上述の強誘電体キャパシタの製造方法によって製造されたものである。

【0027】

(6) 本発明の強誘電体メモリは、上述の強誘電体キャパシタを含むものである。

【0028】

【発明の実施の形態】

以下、本発明に実施の形態に一例について説明する。

【0029】

1. 強誘電体キャパシタの製造方法

図1(A)～図1(D)は、本実施の形態に係る強誘電体キャパシタの製造工程を模式的に示す断面図である。

【0030】

(1) まず、図1(A)に示すように、基体10の上に下部電極20を形成する。下部電極20は、例えば、Pt、Ir、Al、Au、Ag、Ru、Sr等の金属や、酸化物導電体(例えば、 IrO_x 等)や、窒化物導電体(例えば、TiN等)などを材料としてスパッタ法を用いて形成することができる。また、下部電極20は、単層膜でもよいし、積層した多層膜でもよい。

【0031】

(2) 次に、図1 (B) に示すように、下部電極20の上に複合酸化物を含む原材料体30を形成する。原材料体30を形成する方法としては、塗布法、LSMCD法を挙げることができる。塗布法としては、例えば、スピコート法、ディッピング法を挙げることができる。原材料体30は、ゾルゲル原料とMOD原料とが含まれることが好ましい。

【0032】

原材料体30において、ゾルゲル原料とMOD原料とは、それぞれ複合酸化物の化学量論的組成に調整され、かつこれらの混合物には複合酸化物に含まれる金属材料(例えば、Pb、Bi)を、前記化学量論的組成に対して多くとも5%過剰に含ませることができる。例えば、Pb、Biなどの金属材料は低温で酸素と結合して蒸気が発生するため、結晶化過程において不足を補うために、従来は10%~20%のPbやBiを過剰添加物として原材料体30に含ませていた。

【0033】

次に、必要に応じて、原材料体30を乾燥および仮焼成する。

【0034】

(3) 次に、図1 (C) に示すように、原材料体30を熱処理することにより、原材料体30を結晶化させて強誘電体膜40を形成する。原材料体30を結晶化は、図2に示すように、工程(a)として、所定の圧力および所定の温度の第1状態で熱処理を行なうこと、および、工程(b)として、前記工程(a)の後に第1状態と比して低い圧力および低い温度の第2状態に維持することを繰り返すことにより行なわれる。なお、工程(a)および(b)は、必要に応じて複数回繰り返して行なう事ができる。また、複数回行なわれる工程(a)の圧力や温度の条件は、常に同じ条件で行なわれる必要はなく、たとえば、1回目の工程(a)の温度と比して高い温度で2回目の工程(a)を行なってもよい。

【0035】

まず、工程(a)について説明する。工程(a)の熱処理は、圧力は、2気圧以上の加圧状態であり、温度は、原材料が無機酸化物のネットワークを作る温度、好ましくは400~700℃の雰囲気下で行なわれる。工程(a)の熱処理で

は、その昇温過程において100℃以下の低温領域において2気圧以上の加圧状態として行なうことが好ましい。これは、例えば、PbZrTiO系（以下、PZTという）の複合酸化物においてはPbが、比較的低温で酸素と結合して雰囲気中に飛散しやすいことが知られており（電気化学便覧第4版、128頁、丸善、1985年発行を参照）、かかる金属材料が雰囲気中に飛散するのを防止することを目的とするものである。なお、かかる熱処理において、昇温前に2気圧以上の加圧状態としてもよい。

【0036】

また、本実施の形態では、かかる熱処理を体積比10%以下の酸素を含む雰囲気中で行うことにより、金属材料が酸素と結びついて脱離することを防ぐことができるため、加圧による金属材料の飛散防止効果をさらに高めることができる。

【0037】

工程（a）の熱処理は、たとえば、ラピッドサーマルアニール法により行なうことができる。このように、数十℃/秒以上の急速加熱を行うラピッドサーマルアニール法を用いて熱処理を行うことで、結晶の配向性が高い強誘電体膜を得ることができる。

【0038】

さらに、この熱処理では、昇温過程を上記したように大気圧に対して加圧状態で行うとともに、降温過程を前記加圧状態に対して減圧状態で行うことができる。これにより、昇温過程においては、加圧によって原材料体から金属材料が離脱することを防止し、降温過程においては、加圧状態から減圧していくことによって雰囲気中に含まれる余剰材料などの不純物の強誘電体膜への付着や強誘電体膜中における変質層の生成を防止することができる。

【0039】

次に、工程（b）について説明する。工程（b）では、第2状態の圧力は、第1状態の圧力と比して低い圧力であればよく、好ましくは大気圧である。第2状態の温度は、第1状態の温度と比して低い温度であればよく、好ましくは、材料のキューリー点温度以下、さらに好ましくは室温～200℃である。

【0040】

(4) 次に、図1 (D) に示すように、強誘電体膜40の上に上部電極50を形成することにより強誘電体キャパシタを得る。この上部電極50の材料や形成方法は、下部電極20と同様のものを適用することができる。

【0041】

なお、本実施の形態の手法は、Pbと同様に低温領域で酸素と結合して雰囲気中に飛散しやすいBiを含んでいる例えば、BiLaTiO系（以下、BLTという）、BiTiO系（以下、BITという）、およびSrBiTaO系（以下、SBTという）の複合酸化物の結晶化においても有効である。

【0042】

以上に述べたように、本実施の形態に係る強誘電体キャパシタの製造方法によれば、工程(a)および(b)を繰り返し行なうことにより、原材料体を結晶化させることができる。すなわち、本実施の形態の製造方法では、連続した熱処理ではなく、断続的な熱処理を行うことにより原材料体の結晶化が行なわれる。そのため、連続的な熱処理により結晶化する場合と比して、原材料体中の歪みを減少させることができ、良好な結晶構造を形成することができると考えられる。本実施の形態の製造方法は、特に、膜厚が10～150nmの薄膜の強誘電体膜の形成に効果を有する。このような薄膜の強誘電体膜を形成する際は、連続した熱処理により結晶化を行なうと、良好な結晶構造を有する強誘電体膜を得ることができず、強誘電体メモリなどの半導体装置に適用できるだけの電気的特性が得られる強誘電体キャパシタの形成が困難であった。しかし、本発明によれば、良好な結晶構造を有する薄膜の強誘電膜を形成することができ、半導体装置の高集積化に大きく寄与することができる。

【0043】

また、加圧および低酸素状態での熱処理により複合酸化物材料の雰囲気中への脱離を防止することができる。そのため、特性の良好な強誘電体膜を形成することができ、強誘電体キャパシタの電気的特性の向上を図ることができる。

【0044】

なお、本実施の形態に係る強誘電体キャパシタの製造方法では、基体10上に上部電極50までの各層を形成した後に、工程(a)の結晶化温度より高い温度

での熱処理（以下、「ポストアニール」という）を行なう。ポストアニールとしては、2気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことができる。また、基体10上に上部電極50までの各層を形成した後にエッチング等により強誘電体キャパシタをパターニングした後にポストアニールを行なってもよい。

【0045】

ポストアニールの温度は、工程（a）での温度より高い温度であり、たとえば、400～700℃である。ポストアニールは、FA（ファーンネス）を用いてゆっくり加熱を行ってもよいし、ラピッド・サーマル・アニール法を用いて急速加熱を行ってもよい。

【0046】

このように、ポストアニールを行なうことで、上部電極50側からの結晶成長が促進され、さらには、強誘電体膜40と上部電極50および下部電極20との界面状態が改善をすることができる。そのため、強誘電体特性の回復を図るとともに、より良好な結晶構造を有する強誘電体膜を形成することができる。

【0047】

なお、各種熱処理は、複合酸化物を構成する金属材料の蒸気発生に対して不活性な気体、例えば、窒素、アルゴン、キセノンなどの雰囲気中で行うことができる。かかる雰囲気中で熱処理を行うことにより、複合酸化物を構成する金属材料の蒸気発生を抑止効果がさらに高まる。

【0048】

以下に、本実施の形態に係る製造方法のさらに詳細な実施例を図面を参照しながら説明する。

【0049】

（実施例）

実施例1では、Pt電極が形成された所与の基体上に、Pb（Zr_{0.35}、Ti_{0.65}）O₃をスピコート法を用いて成膜して検討を行った。

【0050】

本実施例では、PZT（Zr/Ti＝35/65）の化学量論的組成にそれぞれ

れ調整されたゾルゲル溶液を原材料溶液として用いた。

【0051】

そして、これらの原料溶液を、スピコーティング（5000 rpm、60秒）して、原料溶液を仮焼成してPt電極上に20nmの原材料体を形成した。仮焼成は、150℃で1分間の加熱と、300℃で1分間の加熱を行なった。次に、工程（a）として、FA（ファーネス）を用いて2気圧に加圧され、かつ体積比1%の酸素を含む雰囲気中で、500℃まで昇温を行い、30分間の熱処理をした。ついで、工程（b）として、大気圧になるまで減圧し、温度は室温まで低下させた第2状態を維持した。その後、再度工程（a）を行なった。このようにして、原材料体を結晶化されたPZT膜を得た。図3は、このとき得られたPZT膜の断面の顕微鏡写真である。これによると、白金電極の上に薄膜の強誘電体膜が形成されていることが確認される。図4は、PZT膜の表面の顕微鏡写真である。これによると、平均粒径が均一な結晶が均一的に分布し、表面モフォロジーが良好であることが分かる。

【0052】

次に、本実施例では、結晶化されたPZT膜の上に上部電極としてPt電極を形成し、その後2気圧に加圧した状態でポストアニールを行い、強誘電体キャパシタを作製し、強誘電体特性の評価を行った。

【0053】

図5は、本実施例の製造方法により得られた強誘電体キャパシタのヒステリシス特性を示すものである。図5に示すように、本実施例の強誘電体キャパシタにおいては、2V以下の低電圧で飽和する角型性の良いヒステリシス形状が得られた。以上のように、本実施の形態の製造方法では、これを含む強誘電体キャパシタが良好なヒステリシス特性及び疲労特性を有することが確認された。

【0054】

2. 強誘電体メモリ

2.1 第1の強誘電体メモリ

図6は、第1の強誘電体メモリ1000を模式的に示す断面図である。この強誘電メモリ装置1000は、強誘電体メモリの制御を行うトランジスタ形成領域

を有する。このトランジスタ形成領域が第1の実施の形態で述べた基体100に相当する。

【0055】

基体100は、半導体基板10にトランジスタ12を有する。トランジスタ12は、公知の構成を適用でき、薄膜トランジスタ(TFT)、あるいはMOSFETを用いることができる。図示の例ではMOSFETを用いており、トランジスタ12は、ドレインおよびソース14、16と、ゲート電極18とを有する。ドレインおよびソースの一方14には電極15が形成され、ドレインおよびソースの他方16にはプラグ電極26が形成されている。プラグ電極26は、必要に応じてバリア層を介して強誘電体キャパシタC100の第1電極20に接続されている。そして、各メモリセルは、LOCOSあるいはトレンチアイソレーションなどの素子分離領域17によって分離されている。トランジスタ12などが形成された半導体基板10上には、酸化シリコンなどの絶縁物からなる層間絶縁膜19が形成されている。

【0056】

以上の構成において、強誘電体キャパシタC100より下の構造体が基体100であるトランジスタ形成領域を構成している。このトランジスタ形成領域は、具体的には、半導体基板10に形成されたトランジスタ12、電極15、26、層間絶縁層19などを有する構造体からなる。このような基体100上に、第1の実施の形態の製造方法により製造された強誘電体キャパシタC100が形成されている。

【0057】

この強誘電体メモリ1000は、DRAMセルと同様に、蓄積容量に情報としての電荷をため込む構造を有する。すなわち、メモリセルは、図7および図8に示すように、トランジスタと強誘電体キャパシタにより構成される。

【0058】

図7は、メモリセルが1つのトランジスタ12と1つの強誘電体キャパシタC100とを有する、いわゆる1T1Cセル方式を示す。このメモリセルは、ワード線WLとビット線BLとの交点に位置し、強誘電体キャパシタC100の一端

は、ビット線BLとの接続をオン・オフするトランジスタ12を介してビット線に接続される。また、強誘電体キャパシタC100の他端は、プレート線PLと接続されている。そして、トランジスタ12のゲートはワード線WLに接続されている。ビット線BLは、信号電荷を増幅するセンスアンプ200に接続されている。

【0059】

以下に、1T1Cセルにおける動作の例を簡単に説明する。

【0060】

読み出し動作においては、ビット線BLを0Vに固定した後、ワード線WLに電圧を印加し、トランジスタ12をオンする。その後、プレート線PLを0Vから電源電圧 V_{CC} 程度まで印加することにより、強誘電体キャパシタC100に記憶した情報に対応した分極電荷量がビット線BLに伝達される。この分極電荷量によって生じた微小電位変化を差動式センスアンプ200で増幅することにより、記憶情報を V_{CC} または0Vの2つの情報として読み出すことができる。

【0061】

書き込み動作においては、ワード線WLに電圧を印加し、トランジスタ12をオン状態にした後、ビット線BL－プレート線PL間に電圧を印加し、強誘電体キャパシタC100の分極状態を変更し決定する。

【0062】

図8は、2つのトランジスタ12と2つの強誘電体キャパシタC100とを有する、いわゆる2T2Cセルを示す図である。この2T2Cセルは、前述した1T1Cセルを2個組み合わせて、相補型の情報を保持する構造を有する。すなわち、2T2Cセルでは、センスアンプ200への2つの差動入力として、相補型にデータを書き込んだ2つのメモリセルから相補信号を入力し、データを検出する。このため、2T2Cセル内の2つの強誘電体キャパシタC100、C100は同じ回数の書き込みが行われるため、強誘電体キャパシタC100の強誘電体膜の劣化状態が等しくなり、安定な動作が可能となる。

【0063】

2. 2 第2の強誘電体メモリ

図9および図10は、MISトランジスタ型メモリセルを有する強誘電体メモリ2000を示す。この強誘電体メモリ2000は、ゲート絶縁層13に強誘電体キャパシタC100を直接接続する構造を有する。具体的には、半導体基板10にソースおよびドレイン14, 16が形成され、さらに、ゲート絶縁層13上には、フローティングゲート電極（第1電極）20、本発明に係る強誘電体膜40およびゲート電極（第2電極）50が積層された強誘電体キャパシタC100が接続されている。強誘電体膜40は、第1の実施の形態の製造方法を適用して形成されたものを用いる。この強誘電体メモリ2000においては、半導体基板10、ソース、ドレイン14, 16およびゲート絶縁層13が、第1の実施の形態で述べた基体100に相当する。

【0064】

また、この強誘電体メモリ2000は、図10に示すように、ワード線WLは各セルのゲート電極50に接続され、ドレインはビット線BLに接続されている。この強誘電体メモリにおいては、データの書き込み動作は、選択するセルのワード線WLとウェル（ソース）間に電界を印加することによって行われる。また、読み出し動作は、選択セルに対応するワード線WLを選択し、選択セルのビット線BLに接続したセンスアンプ200によって各トランジスタを流れる電流量を検出することで行われる。

【0065】

2. 3 第3の強誘電体メモリ

図11は、第3の強誘電体メモリを模式的に示す図であり、図12は、メモリセルアレイの一部を拡大して示す平面図であり、図13は、図11のA-A線に沿った断面図である。平面図において、（ ）内の数字は最上層より下の層を示す。

【0066】

この例の強誘電体メモリ3000は、図11に示すように、メモリセル120が単純マトリクス状に配列されたメモリセルアレイ100Aと、メモリセル（強誘電体キャパシタC100）120に対して選択的に情報の書き込みもしくは読み出しを行うための各種回路、例えば、第1信号電極（第1電極）20を選択的

に制御するための第 1 駆動回路 1 5 0 と、第 2 信号電極（第 2 電極） 5 0 を選択的に制御するための第 2 駆動回路 1 5 2 と、センスアンプなどの信号検出回路（図示せず）とを含む。

【 0 0 6 7 】

メモリセルアレイ 1 0 0 A は、行選択のための第 1 信号電極（ワード線） 2 0 と、列選択のための第 2 信号電極（ビット線） 5 0 とが直交するように配列されている。すなわち、X 方向に沿って第 1 信号電極 2 0 が所定ピッチで配列され、X 方向と直交する Y 方向に沿って第 2 信号電極 5 0 が所定ピッチで配列されている。なお、信号電極は、上記の逆でもよく、第 1 信号電極がビット線、第 2 信号電極がワード線でもよい。

【 0 0 6 8 】

本実施の形態に係るメモリセルアレイ 1 0 0 A は、図 1 2 および図 1 3 に示すように、絶縁性の基体 1 0 0 上に、第 1 信号電極 2 0、本発明に係る強誘電体膜 4 0 および第 2 信号電極 5 0 が積層され、第 1 信号電極 2 0、第 1 の実施の形態の製造方法を適用して形成された強誘電体層 3 0 および第 2 信号電極 5 0 によって強誘電体キャパシタ 1 2 0 が構成される。すなわち、第 1 信号電極 2 0 と第 2 信号電極 5 0 との交差領域において、それぞれ強誘電体キャパシタ 1 2 0 からなるメモリセルが構成されている。

【 0 0 6 9 】

また、強誘電体膜 4 0 と第 2 信号電極 5 0 とからなる積層体の相互には、基体 1 0 0 および第 1 信号電極 2 0 の露出面を覆うように、誘電体層 3 8 が形成されている。この誘電体層 3 8 は、強誘電体膜 4 0 に比べて小さい誘電率を有することが望ましい。このように強誘電体膜 4 0 および第 2 信号電極 5 0 からなる積層体の相互間に、強誘電体膜 4 0 より誘電率の小さい誘電体層 3 8 を介在させることにより、第 1、第 2 信号電極 2 0、5 0 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ 3 0 0 0 における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

【 0 0 7 0 】

次に、強誘電体メモリ 3 0 0 0 における書き込み、読み出し動作の一例について

て述べる。

【0071】

まず、読み出し動作においては、選択セルのキャパシタに読み出し電圧「 V_0 」が印加される。これは、同時に「0」の書き込み動作を兼ねている。このとき、選択されたビット線を流れる電流またはビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。さらにこのとき、非選択セルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

【0072】

書き込み動作においては、「1」の書き込みの場合は、選択セルのキャパシタに「 $-V_0$ 」の電圧が印加される。「0」の書き込みの場合は、選択セルのキャパシタに、該選択セルの分極を反転させない電圧が印加され、読み出し動作時に書き込まれた「0」状態を保持する。このとき、非選択セルのキャパシタには、書き込み時のクロストークを防ぐため、所定の電圧が印加される。

【0073】

本発明の強誘電体メモリによれば、良好な結晶構造の強誘電体膜を含む強誘電体キャパシタを有するため、信頼性の高い強誘電体メモリを提供することができる。以上、蓄積容量型、MISトランジスタ型および単純マトリクス型の強誘電体メモリの例について述べたが、本発明の強誘電体メモリはこれらに限定されず、他のタイプのメモリトランジスタにも適用できる。なお、本実施の形態の強誘電体キャパシタは、上述の強誘電体メモリの他に、焦電型センサー、バイモルフ型圧電アクチュエーターに適用することができる。

【図面の簡単な説明】

【図1】 本実施の形態にかかる強誘電体キャパシタの製造工程を示す図。

【図2】 本実施の形態に強誘電体膜の結晶化工程を示す図。

【図3】 本実施例の製造方法による強誘電体膜の断面の顕微鏡写真。

【図4】 本実施例の製造方法による強誘電体膜の表面の顕微鏡写真

【図5】 本実施例にかかる強誘電体キャパシタのヒステリシス特性を示すグラフ。

【図6】 本実施の形態に強誘電体メモリを示す図。

【図 7】 本実施の形態に強誘電体メモリを示す図。

【図 8】 本実施の形態に強誘電体メモリを示す図。

【図 9】 本実施の形態に強誘電体メモリを示す図。

【図 1 0】 本実施の形態に強誘電体メモリを示す図。

【図 1 1】 本実施の形態に強誘電体メモリを示す図。

【図 1 2】 本実施の形態に強誘電体メモリを示す図。

【図 1 3】 本実施の形態に強誘電体メモリを示す図。

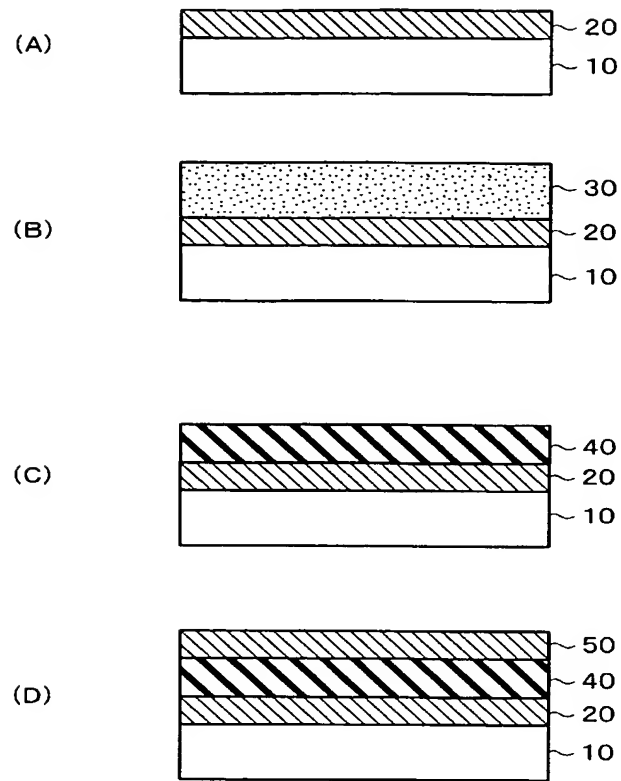
【符号の説明】

1 0 … 基体、 2 0 … 下部電極、 3 0 … 原材料体、 4 0 … 強誘電体膜、
5 0 … 上部電極

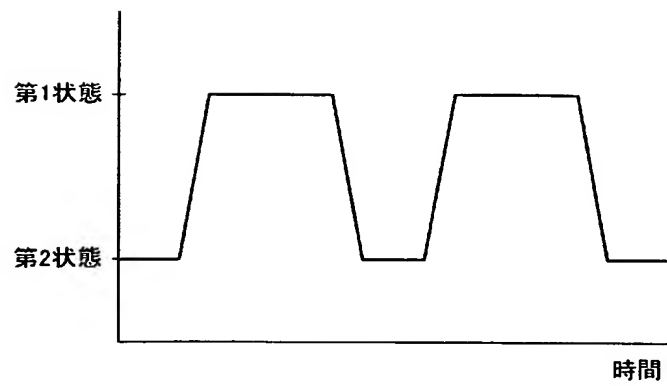
【書類名】

図面

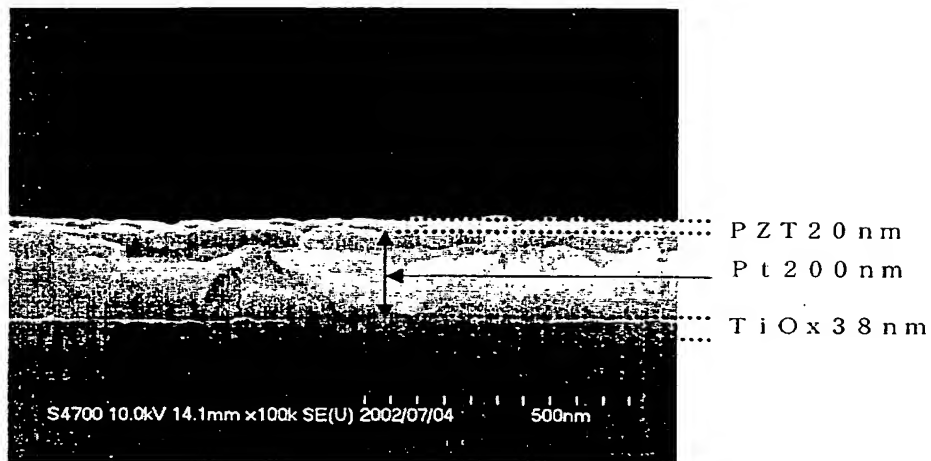
【図 1】



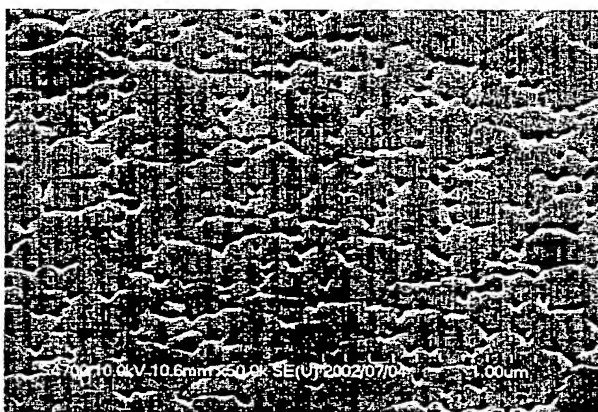
【図 2】



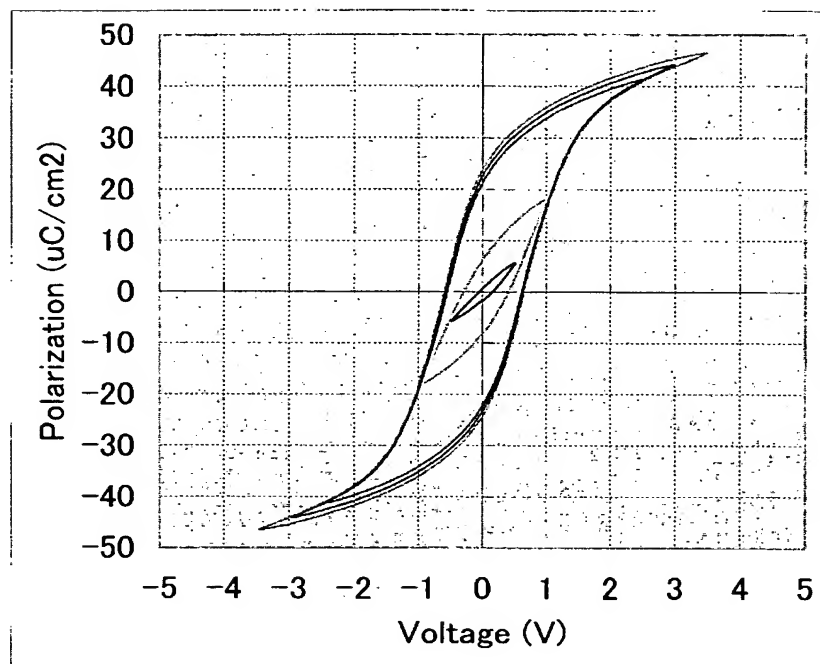
【図 3】



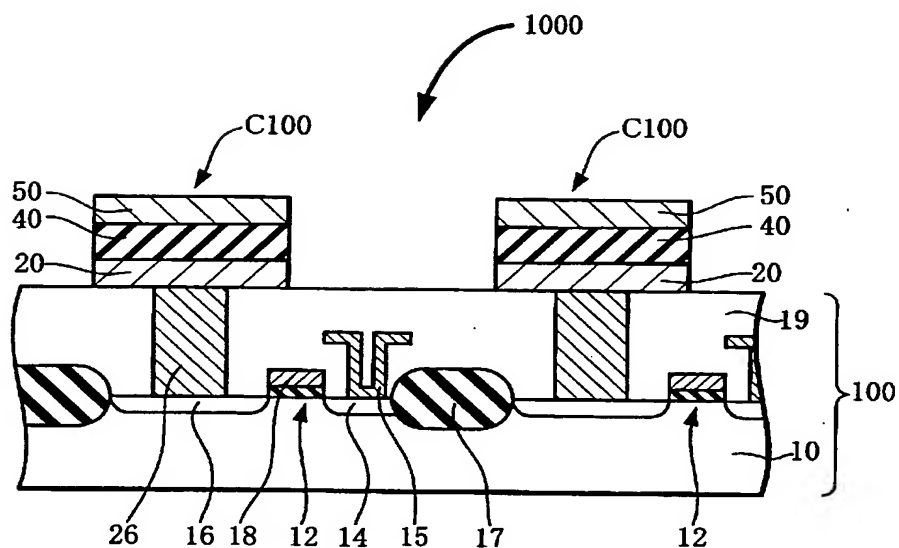
【図 4】



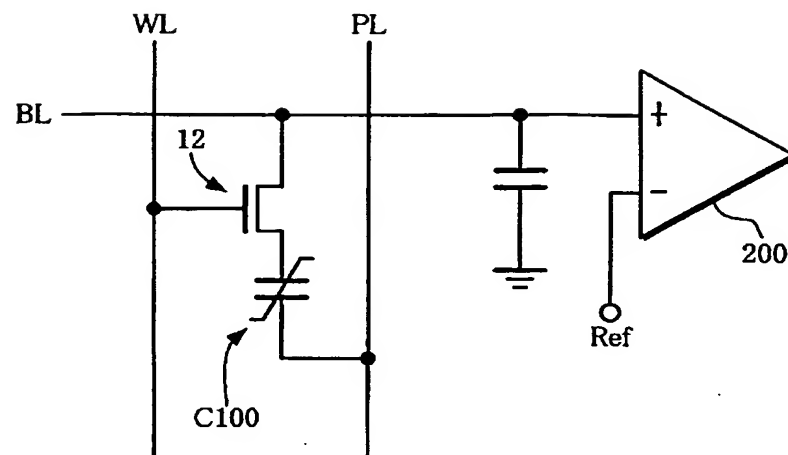
【図 5】



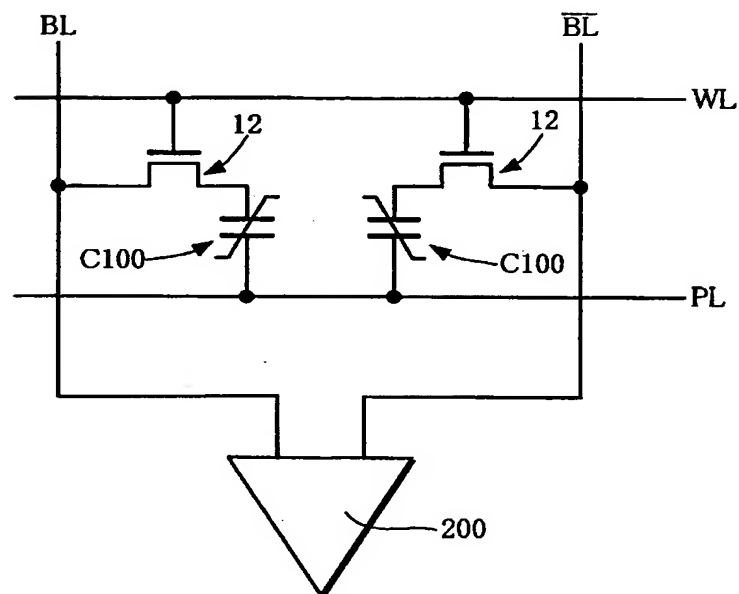
【図 6】



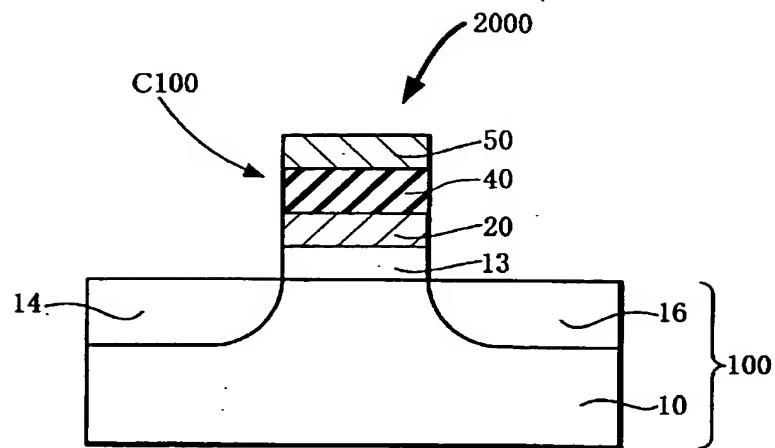
【図 7】



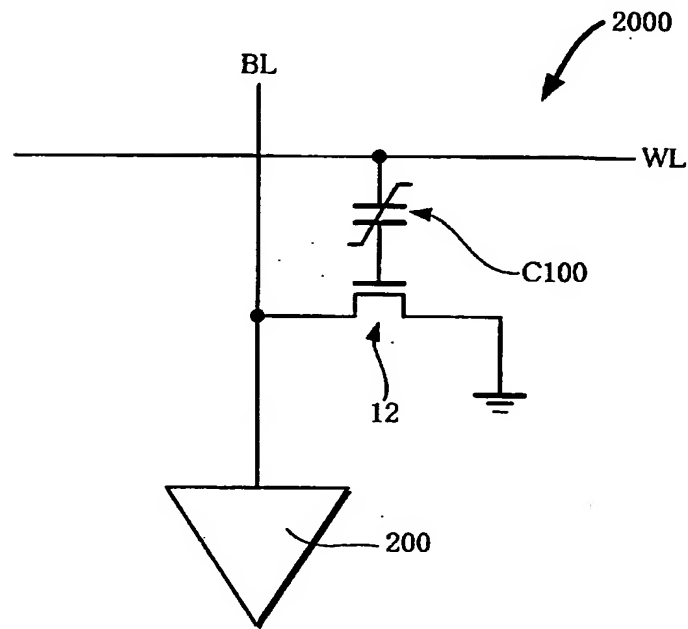
【図 8】



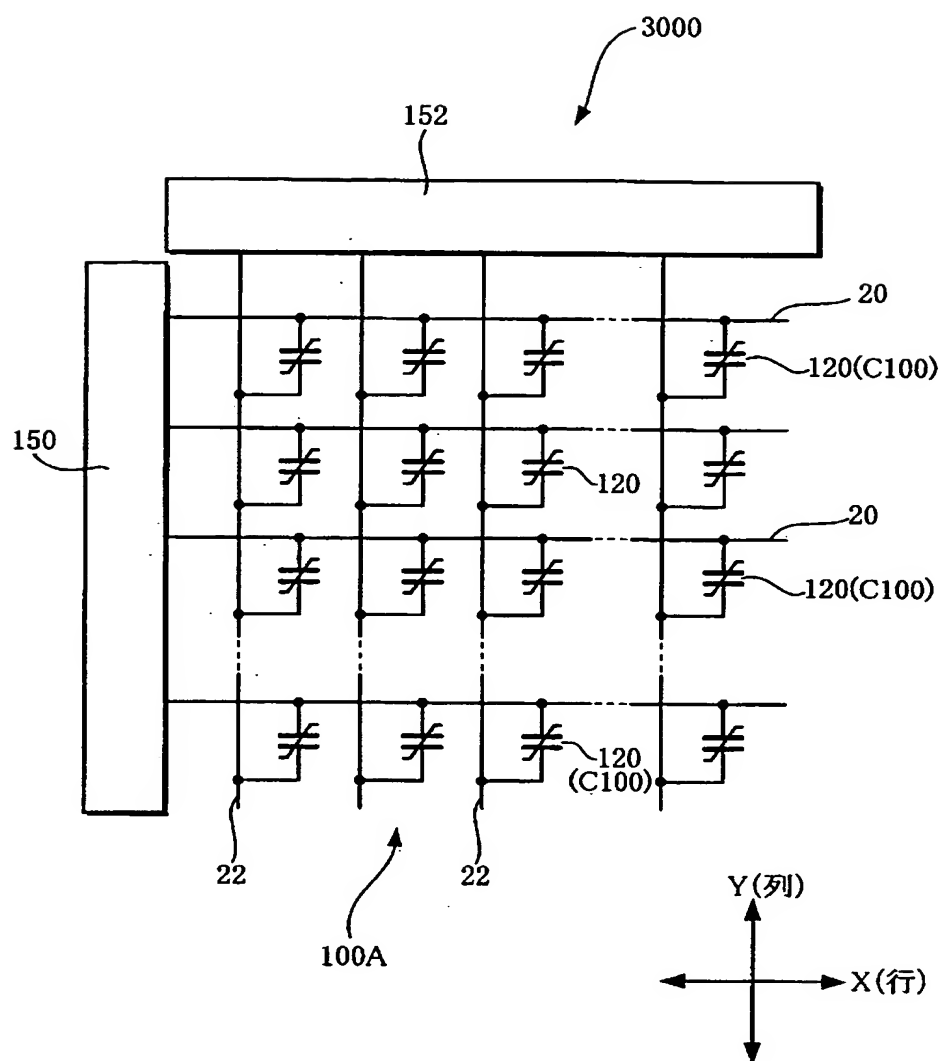
【図 9】



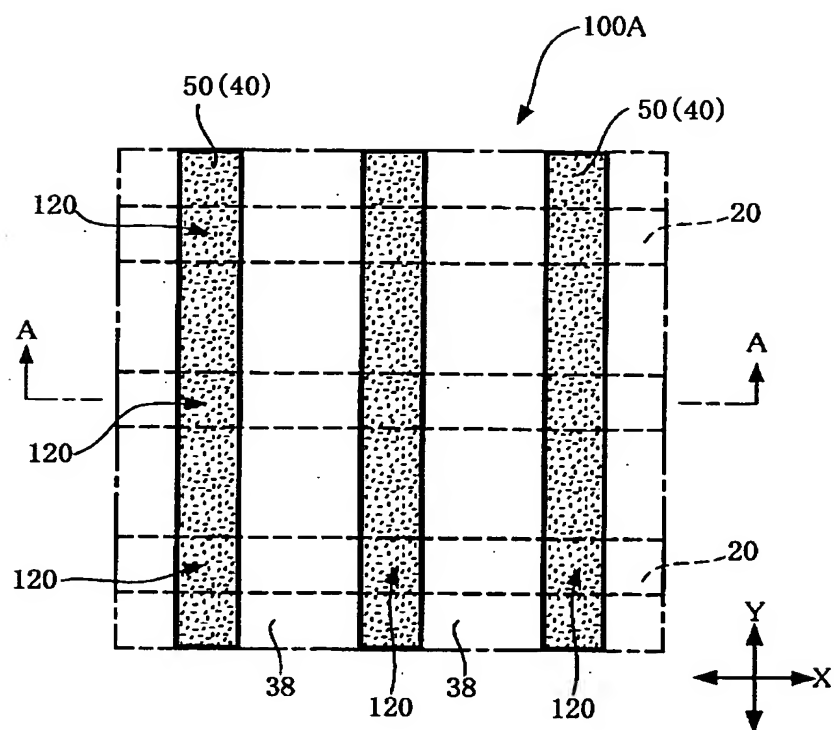
【図 10】



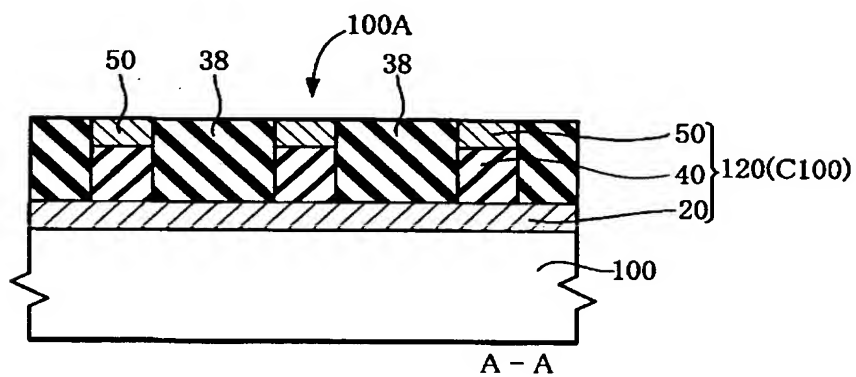
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 良好な特性を有する強誘電体膜の製造方法、およびこの製造方法により得られる強誘電体膜を提供する。

【解決手段】 本発明の強誘電体膜の製造方法は、複合酸化物を含む原材料体を結晶化することを含む、強誘電体膜の製造方法であって、

(a) 所定の圧力および温度の第 1 状態で熱処理を行ない、

(b) 前記 (a) の後に該第 1 状態と比して低い圧力および低い温度の第 2 状態に維持すること、を含み、前記 (a) および (b) を繰り返して行なうことにより結晶化が行なわれる。

【選択図】 図 1

特願 2 0 0 3 - 0 8 5 7 8 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

| | |
|----------|------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 0 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都新宿区西新宿 2 丁目 4 番 1 号 |
| 氏 名 | セイコーエプソン株式会社 |